

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-030344

(43)Date of publication of application : 04.02.1994

(51)Int.Cl.

H04N 5/335

(21)Application number : 04-201865

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 07.07.1992

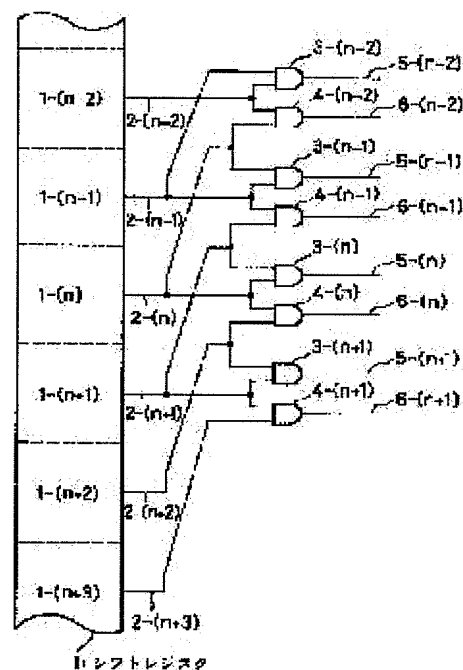
(72)Inventor : GOMI YUICHI

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To provide the solid-state image pickup element having a shutter function' in which a rate of increase in a chip area is reduced to suppress the cost increase.

CONSTITUTION: Two sets of pulses whose pulse interval is equivalent to a 0th period and a 1st period of a drive pulse ϕ are inputted to a shift register 1, an n -th stage output terminal 2-(n) of the shift register 1 is connected to each input terminal of a ($n-2$)th stage 2-input AND circuit 4-($n-2$) for generating read signal, a ($n-1$)th stage 2-input AND circuit 3-($n-1$) for generating reset signal, and n -th stage 2-input AND circuit 4-(n), 3-(n) for generating read signal and reset signal respectively to form a vertical scanning circuit, the 2-input AND circuits 3-(n), 4-(n) generate a reset signal and a read signal synchronously with the timing of the two sets of pulses to implement shutter operation having a light storage time equivalent to the phase difference of the two sets of pulses.



1: レフトレジスタ

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-30344

(43)公開日 平成6年(1994)2月4日

(51)Int.Cl.⁵

H 0 4 N 5/335

識別記号

庁内整理番号

F I

技術表示箇所

Q

審査請求 未請求 請求項の数 2 (全 8 頁)

(21)出願番号 特願平4-201865

(22)出願日 平成4年(1992)7月7日

(71)出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 五味 祐一

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

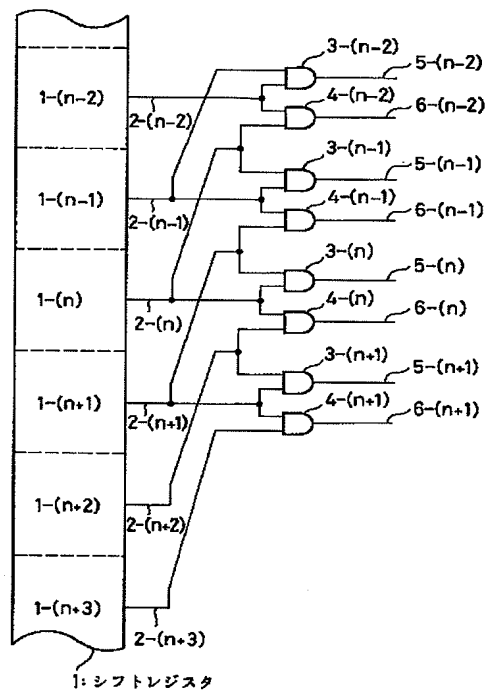
(74)代理人 弁理士 最上 健治

(54)【発明の名称】 固体撮像素子

(57)【要約】

【目的】 チップ面積増大の割合を低減しコストの増大を抑えたシャッター機能を有する固体撮像素子を提供する。

【構成】 パルス間隔が駆動パルス ϕ_v の0周期及び1周期の2組のパルスをシフトレジスタ1に入力し、シフトレジスタ1の第n段目の出力端子2-(n)を、第n-2段目の読み出し信号発生用2入力AND回路4-(n-2)、第n-1段目のリセット信号発生用2入力AND回路3-(n-1)、第n段目の読み出し及びリセット信号発生用2入力AND回路4-(n)、3-(n)の各入力端子にそれぞれ入力して垂直走査回路を構成し、2入力AND回路3-(n)、4-(n)より2組のパルスのタイミングに同期してリセット信号及び読み出し信号を発生し、2組のパルスの位相差に相当する光蓄積時間をもつシャッター動作を行わせる。



【特許請求の範囲】

【請求項1】 光電変換素子を画素として行列状に2次元に配列した受光部と、該受光部の各画素の光蓄積電荷信号を順次アドレスして読み出すための水平及び垂直走査回路とを備えた固体撮像素子において、前記垂直走査回路を、読み出し及びリセットのタイミングでそれぞれ間隔の異なる2個のパルスからなる2組のパルスを順次シフトして出力させる手段と、該手段によりシフトして出力される2組のシフトパルスをそれぞれ組み合わせ

て、該シフトパルスに同期して受光部の対応する画素行を順次選択する読み出し信号及びリセット信号を発生する手段とで構成したことを特徴とする固体撮像素子。

【請求項2】 光電変換素子を画素として行列状に2次元に配列した受光部と、該受光部の各画素の光蓄積電荷信号を順次アドレスして読み出すための水平及び垂直走査回路とを備えた固体撮像素子において、前記垂直走査回路を、読み出し及びリセットのタイミングでそれぞれパルスを順次シフトして出力させる手段と、該手段によりシフトして出力されるシフトパルスとコントロールパルスラインより供給されるコントロールパルスとを組み合わせ

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、簡単な構成のシャッター機能をもつX-Yアドレス型の固体撮像素子に関する。

【0002】

【従来の技術】 従来、固体撮像素子の多機能化としてシャッター機能を素子自体にもたせたものがあり、高速移動物体の撮影や、フリッカー対策など幅広い用途で用いられている。X-Yアドレス型固体撮像素子では、信号のリセットと読み出し操作のタイミングをずらして行うことにより、シャッター動作を行うことができる。このような動作を実現するために、従来は、例えば1987年テレビジョン学会全国大会予稿集4-7に示されるように、リセット及び読み出し操作の垂直走査回路を2個別々に設ける方法が知られている。

【0003】 次に、この垂直走査回路を2個別々に設けてシャッター動作を行わせるようにした固体撮像素子の構成を図7に基づいて説明する。図7において、101は信号掃き出し用垂直走査回路、102は水平走査回路、103は信号読み出し用垂直走査回路、104は光電変換素子を画素として行列状に2次元に配列した受光部である。このような構成の固体撮像素子においてシャッター動作を行うには、信号掃き出し用垂直走査回路101を信号読み出し用垂直走査回路103より先行動作させて、掃き出し走査を行わせる。

【0004】 例えば、信号掃き出し用垂直走査回路101が、信号読み出し用垂直走査回路103に対し、nライン分だけ先行して動作しているとすると、まず2次元に配列された受光部104の各画素は、信号掃き出し用垂直走査回路101の出力パルス及び水平走査回路102の出力パルスにより、順次光蓄積信号がリセットされる。そしてnラインの周期分だけ時間が経過した後、信号読み出し用垂直走査回路103及び水平走査回路102の出力パルスにより、各画素の光蓄積信号が読み出される。以上の動作により、各画素信号はnラインの光蓄積時間ののち読み出されることになり、nライン周期分のシャッター時間でシャッター動作が行われたことになる。

【0005】 この動作時において、各垂直走査回路101、103から出力される走査パルスのタイミングを図8に示す。ここで ϕ_v は各垂直走査回路101、103を動作させるための、周期が1水平走査期間(1H)のクロックであり、また101-1、101-2、101-3は信号掃き出し用垂直走査回路101の出力パルス、103-1、103-2、103-3は信号読み出し用垂直走査回路103の出力パルスであり、出力パルス101-1と103-1、出力パルス101-2と103-2、出力パルス101-3と103-3が、それぞれ同じ行に配列された画素行に接続された、リセット及び読み出しを制御する各水平ラインにそれぞれ与えられるようになっている。

【0006】 以上説明したように、X-Yアドレス型固体撮像素子においては、位相のずれた垂直走査パルス列を実現することにより、シャッター動作が可能となる。

【0007】

【発明が解決しようとする課題】 しかしながら、従来の垂直走査方式を用いてシャッター機能をもたせたX-Yアドレス型固体撮像素子を実現しようとすると、次に述べるような問題が生じる。すなわち、図7に示したように信号掃き出し用と信号読み出し用の2つの垂直走査回路をそれぞれ設けた場合、チップ面積が増大し、固体撮像素子のコストが増大してしまう。

【0008】 本発明は、従来のシャッター機能を備えたX-Yアドレス型固体撮像素子における上記問題点を解消するためになされたもので、チップ面積増大の割合を低減しコストの増大を抑えた簡単な構成のシャッター機能を有する固体撮像素子を提供することを目的とする。

【0009】

【課題を解決するための手段及び作用】 上記問題点を解決するため、本発明は、光電変換素子を画素として行列状に2次元に配列した受光部と、該受光部の各画素の光蓄積電荷信号を順次アドレスして読み出すための水平及び垂直走査回路とを備えた固体撮像素子において、前記垂直走査回路を、読み出し及びリセットのタイミングでそれぞれ間隔の異なる2個のパルスからなる2組のパルスを順次シフトして出力させる手段と、該手段によりシフトして出力される2組のシフトパルスをそれぞれ組み

合わせて、該シフトパルスに同期して受光部の対応する画素行を順次選択する読み出し信号及びリセット信号を発生する手段とで構成するか、あるいは、読み出し及びリセットのタイミングでそれぞれパルスを順次シフトして出力させる手段と、該手段によりシフトして出力されるシフトパルスとコントロールパルスラインより供給されるコントロールパルスとを組み合わせ、前記読み出し及びリセットのタイミングでシフトされるパルスに同期して受光部の対応する画素行を順次選択する読み出し信号及びリセット信号を発生する手段とで構成するものである。

【0010】このように構成した固体撮像素子においては、垂直走査回路より出力される読み出し信号及びリセット信号により、読み出し及びリセットのタイミングでシフトするパルスに同期して受光部の各画素行が選択され、各選択時点において光蓄積電荷信号の読み出し動作及びリセット動作が行われる。したがって、複数の垂直走査回路を必要とせず、チップ面積の増大を低減し、コストの増大を抑えたシャッター機能を有するX-Yアドレス型の固体撮像素子を実現できる。

【0011】

【実施例】次に実施例について説明する。図1は、本発明に係るシャッター機能を備えた固体撮像素子の第1実施例の主要部である垂直走査回路の構成を示す回路構成図である。なお、その他の受光部並びに水平走査回路等の構成は従来例と同じであり、その説明を省略する。また、図2は、図1に示した垂直走査回路の動作を説明するためのパルスタイミングを示す図である。図1において、1は垂直走査回路に用いられるシフトレジスタで、1-(n-2), 1-(n-1), 1-(n), 1-(n+1), 1-(n+2), 1-(n+3), ... はシフトレジスタを構成する各段を示している。このシフトレジスタ1は、水平走査期間を1周期とする駆動パルス ϕ_v によりパルスをシフトする機能を有している。そして、この垂直走査回路においては、駆動パルス ϕ_v 1周期分の“H”レベル周期をもつ2個のパルスの間隔が異なる2組のパルスを、シフトレジスタ1中をシフト動作させると、その各段1-(n), 1-(n+1), 1-(n+2), 1-(n+3)の各出力端子2-(n), 2-(n+1), 2-(n+2), 2-(n+3)には、それぞれ図2において、出力端子と同じ符号2-(n), 2-(n+1), 2-(n+2), 2-(n+3)で示されるパルスが出力される。この実施例では、図2に示すように、2組のパルスのパルス間隔が、一方は駆動パルス ϕ_v の0周期分、他方は駆動パルス ϕ_v の1周期分となっている。そしてシフトレジスタ1の第n段目1-(n)の出力端子2-(n)からの出力は、第n-2段目の読み出し信号6-(n-2)を発生する2入力AND回路4-(n-2)、第n-1段目のリセット信号5-(n-1)を発生する2入力AND回路3-(n-1)、第n段目の読み出し信号6-(n)を発生する2入力AND回路4-(n)、及び第n段目のリセット信号5-(n)を発生する2入力AND

回路3-(n)の各入力端子に、それぞれ入力されるようになっている。

【0012】次に、このように構成された垂直走査回路の動作を、垂直走査回路の第n段目の出力に注目して説明する。まずシフトレジスタ1中を、駆動パルス ϕ_v 1周期分“H”レベル期間をもつ2個のパルスの間隔が駆動パルス ϕ_v の0周期分であるシフトパルスがシフトしてきた場合について説明する。シフトレジスタ1の第n段目1-(n)の出力端子2-(n)の出力は、 $t_1 \sim t_3$ の期間“H”レベルとなり、第n+1段目1-(n+1)の出力端子2-(n+1)の出力は、 $t_2 \sim t_4$ の期間“H”レベルとなる。したがって、2入力AND回路3-(n)は、 $t_2 \sim t_3$ の期間“H”レベルとなるリセット信号5-(n)を発生する。

【0013】次にシフトレジスタ1中を、駆動パルス ϕ_v 1周期分“H”レベル期間をもつ2個のパルスの間隔が駆動パルス ϕ_v の1周期分であるシフトパルスがシフトしてきた場合について説明する。シフトレジスタ1の第n段目1-(n)の出力端子2-(n)の出力は、 $t_6 \sim t_7$ 及び $t_8 \sim t_9$ の期間“H”レベルとなり、第n+2段目1-(n+2)の出力端子2-(n+2)の出力は、 $t_8 \sim t_9$ 及び $t_{10} \sim t_{11}$ の期間“H”レベルとなる。したがって2入力AND回路4-(n)は、 $t_8 \sim t_9$ の期間“H”レベルとなる読み出し信号6-(n)を発生する。以下同様にして、第n+1段目のリセット信号を発生する2入力AND回路3-(n+1)は、 $t_3 \sim t_4$ の期間“H”レベルとなるリセット信号5-(n+1)を発生し、第n+1段目の読み出し信号を発生する2入力AND回路4-(n+1)は、 $t_9 \sim t_{10}$ の期間“H”レベルとなるリセット信号6-(n+1)を発生する。そして、これらの読み出し信号及びリセット信号を受光部の行選択線に与えることによって画素行を順次選択し、各画素の読み出し及びリセット動作を行わせる。

【0014】以上説明したように、図1に示した構成の垂直走査回路によれば、2個のパルス間隔が異なる2組のパルスの位相差に相当する光蓄積時間をもつシャッター動作が行えることになり、MOS形、CMD (Charge Modulation device), SIT (Static Induction Transistor) などXYアドレス方式で信号を読み出す固体撮像素子に適用できる。

【0015】なお上記第1実施例においては、駆動パルス1周期分“H”レベルであるパルスを情報の伝達に用いたものを示したが、勿論“L”レベルの部分を情報の伝達に使うことも可能であり、また2組のパルスのパルス間隔も0周期分と1周期分の組み合わせに限定されず、他の組み合わせも可能なことは明らかである。

【0016】図3は、本発明の第2実施例を示す回路構成図であり、図4は、第2実施例の回路動作を説明するためのパルスタイミング図である。図3において、10は垂直走査回路に用いられるシフトレジスタで、このシフ

トレジスタ10は水平走査期間を1周期とする駆動パルス ϕ_v により、パルスをシフトする機能を有している。この垂直走査回路において、駆動パルス1周期分の“H”レベル期間をもつ2個のパルスをシフトレジスタ10中をシフト動作させると、その各段10-(n-1), 10-(n), 10-(n+1), 10-(n+2), …の出力端子11-(n-1), 11-(n), 11-(n+1), 11-(n+2), …には、それぞれ図4に出力端子と同じ符号で示されるパルスが出力される。そしてシフトレジスタ10の第n段目10-(n)の出力端子11-(n)からの出力は、第n段目のリセット信号を発生する2入力AND回路14-(n)の入力端子、及び第n段目の読み出し信号を発生する2入力AND回路15-(n)の入力端子にそれぞれ入力されるようになっている。

【0017】図3において、12, 13はコントロールパルスラインで、ライン12には、図4で示すように、“H”レベルとなる期間が駆動パルス ϕ_v 1周期分で、周期が駆動パルス ϕ_v の2倍のコントロールパルスが与えられるようになっており、一方ライン13には、ライン12に与えられるコントロールパルスの反転パルスが与えられるようになっている。そしてコントロールパルスライン12には、第n-1段目、第n+1段目、…のリセット信号発生用2入力AND回路14-(n-1), 14-(n+1), …の入力端子、及び第n段目、第n+2段目、…の読み出し信号発生用2入力AND回路15-(n), 15-(n+2), …の入力端子がそれぞれ接続され、一方、コントロールパルスライン13には、第n段目、第n+2段目、…のリセット信号発生用2入力AND回路14-(n), 14-(n+2), …の入力端子、及び第n-1段目、第n+1段目、…の読み出し信号発生用2入力AND回路15-(n-1), 15-(n+1), …の入力端子がそれぞれ接続されている。

【0018】次に、このように構成された垂直走査回路の動作について説明する。まず第n段目において、リセットのタイミングでは、第n段目のリセット信号発生用2入力AND回路14-(n)の入力端子に接続されるシフトレジスタ出力端子11-(n)とコントロールパルスライン13は、 $t_2 \sim t_3$ の期間のみ両者が“H”レベルとなるので、2入力AND回路14-(n)は、この $t_2 \sim t_3$ の期間“H”レベルとなるリセット信号16-(n)を発生する。一方、読み出しのタイミングでは、第n段目の読み出し信号発生用2入力AND回路15-(n)の入力端子に接続されるシフトレジスタ出力端子11-(n)とコントロールパルスライン12は、 $t_6 \sim t_7$ の期間“H”レベルとなるので、2入力AND回路15-(n)は、この $t_6 \sim t_7$ の期間“H”レベルとなる読み出し信号17-(n)を発生する。

【0019】次に第n+1段目では、2入力AND回路14-(n+1)の入力端子に接続されるシフトレジスタ出力端子11-(n+1)とコントロールパルスライン12は、 $t_3 \sim t_4$ の期間のみ両者は“H”レベルとなるので、この期間“H”レベルとなるリセット信号16-(n+1)を発生する。また2入力AND回路15-(n+1)の入力端子に接続される

シフトレジスタ出力端子11-(n+1)とコントロールパルスライン13は、 $t_7 \sim t_8$ の期間のみ両者は“H”レベルとなるので、この期間“H”レベルとなる読み出し信号17-(n+1)を発生する。

【0020】以上説明したように、図3に示した第2実施例によれば、リセット及び読み出しのタイミングでシフトされるパルスの位相差に相当する光蓄積時間を2倍の水平走査期間ステップで可変できるシャッター動作を行うことができ、XYアドレス方式で信号を読み出す固体撮像素子に適用できる。

【0021】なお上記第2実施例においては、コントロールパルスを駆動パルス ϕ_v の2倍周期とし、且つコントロールパルスラインを2本としたものを示したが、本発明はこれに限定されるものではなく、またコントロールパルスの“H”レベルとなる期間を変えることにより、リセット信号及び読み出し信号の発生期間を変えることが可能であることは明らかである。

【0022】次に、CMDを画素として用いた固体撮像素子に、本発明を適用した第3実施例について説明する。図5は、本第3実施例の垂直走査回路内のシフトレジスタ及び読み出し、リセットのタイミング信号発生部の回路構成を示している。図6は、第3実施例の回路動作を説明するためのパルスタイミング図である。図5において、20は垂直走査回路内のシフトレジスタで、このシフトレジスタ20は水平走査期間を1周期とする駆動パルス ϕ_v によりパルスをシフトする機能を有している。ここで駆動パルス ϕ_v の“H”レベルとなる期間を水平有効期間、“L”レベルとなる期間を水平ブランキング期間とする。この垂直走査回路において、駆動パルス1周期分の“H”レベル期間をもつ2個のパルスを、シフトレジスタ20中をシフト動作させると、その各段20-(n-1), 20-(n), 20-(n+1), 20-(n+2), 20-(n+3), …の出力端子21-(n-1), 21-(n), 21-(n+1), 21-(n+2), 21-(n+3), …には、それぞれ図6において出力端子と同じ符号で示されるパルスが出力される。そしてシフトレジスタ20の第n段目の出力端子21-(n)の出力は、第n段目の読み出し、リセットのタイミング信号を発生する2入力NAND回路25-(n)の入力端子に入力されるようになっている。

【0023】図5において、22, 23, 24はコントロールパルスラインで、該ライン22, 23, 24には、それぞれ図6で示すように、“H”レベルとなる期間が駆動パルス ϕ_v 1周期分で、周期が駆動パルス ϕ_v の3倍のコントロールパルスが与えられるようになっている。そしてコントロールパルスライン22には、第n段目、第n+3段目、…の読み出し、リセットのタイミング信号を発生する2入力NAND回路25-(n), 25-(n+3), …の入力端子が接続され、コントロールパルスライン23には、第n+1段目、第n+4段目、…の読み出し、リセットのタイミング信号を発生する2入力NAND回路25-(n+1), 25-(n+4), …の入力端子が接続され、コントロールパルスライン24には、第n+2段目、第n+5段目、…の読み出し、リセットのタイミング信号を発生する2入力NAND回路25-(n+2), 25-(n+5), …の入力端子が接続されている。

1), 25-(n+4), ... の入力端子が接続され、更にコントロールパルスライン24には、第n-1段目、第n+2段目、...の読み出し、リセットのタイミング信号を発生する2入力NAND回路25-(n-1), 25-(n+2), ... の入力端子が接続されている。

【0024】次に、このように構成された垂直走査回路の動作について説明する。まず第n段目において、第n段目の読み出し、リセットのタイミング信号発生用2入力NAND回路25-(n)の入力端子に接続されるシフトレジスタ出力端子21-(n)とコントロールパルスライン22は、 $t_4 \sim t_5$ 及び $t_{10} \sim t_{11}$ の期間のみ両者が“H”レベルとなるので、2入力NAND回路25-(n)の出力端子は、この期間のみ“L”レベルとなる読み出し、リセットのタイミング信号26-(n)を発生する。ここで $t_4 \sim t_5$ の期間がリセットのタイミング、 $t_{10} \sim t_{11}$ の期間が信号読み出しのタイミングとなる。以下同様にして、第n+1段目、第n+2段目、...の読み出し、リセットのタイミング信号26-(n+1), 26-(n+2), ... が発生する。

【0025】画素として用いるCMDは、リセットを水平ブランキング期間、信号読み出しを水平有効期間に行うので、図6に示した読み出し、リセットのタイミング信号26-(n), 26-(n+1), ... を、レベルミックス回路を通して、CMD受光部の行選択線に与えることによって、2個のシフトパルスの位相差に相当する光蓄積時間を、3倍の水平走査期間ステップで可変できるシャッター動作を行うことができる。

【0026】なお上記第3実施例のコントロールパルスの周期及びコントロールパルスラインの数は、第2実施例と同様に、これに限定されないものであることは明らかである。

【0027】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、単一の垂直走査回路で、信号読み出し及びリセットのタイミングでシフトするパルスに同期して画素行を選択し、信号の読み出し動作及びリセット動作を行う読み出し信号及びリセット信号を発生するように構成したので、簡単な構成でチップ面積の増大の割合を低減しコストの増大を抑えたシャッター機能を有する

X-Yアドレス型の固体撮像素子を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像素子の第1実施例の垂直走査回路を示す回路構成図である。

【図2】第1実施例の垂直走査回路の動作を説明するためのパルスタイミング図である。

【図3】第2実施例の垂直走査回路を示す回路構成図である。

10 【図4】第2実施例の垂直走査回路の動作を説明するためのパルスタイミング図である。

【図5】第3実施例の垂直走査回路を示す回路構成図である。

【図6】第3実施例の垂直走査回路の動作を説明するためのパルスタイミング図である。

【図7】従来のシャッター機能を備えた固体撮像素子の構成例を示すブロック構成図である。

【図8】図7に示した従来の固体撮像素子の動作を説明するためのパルスタイミング図である。

【符号の説明】

1 シフトレジスタ

1-(n-2), 1-(n-1), 1-(n), ... シフトレジスタの各段

2-(n-2), 2-(n-1), 2-(n), ... シフトレジスタの出力端子

3-(n-2), 3-(n-1), 3-(n), ... リセット信号発生用2入力AND回路

4-(n-2), 4-(n-1), 4-(n), ... 読み出し信号発生用2入力AND回路

10 シフトレジスタ

12, 13 コントロールパルスライン

14-(n-1), 14-(n), ... リセット信号発生用2入力AND回路

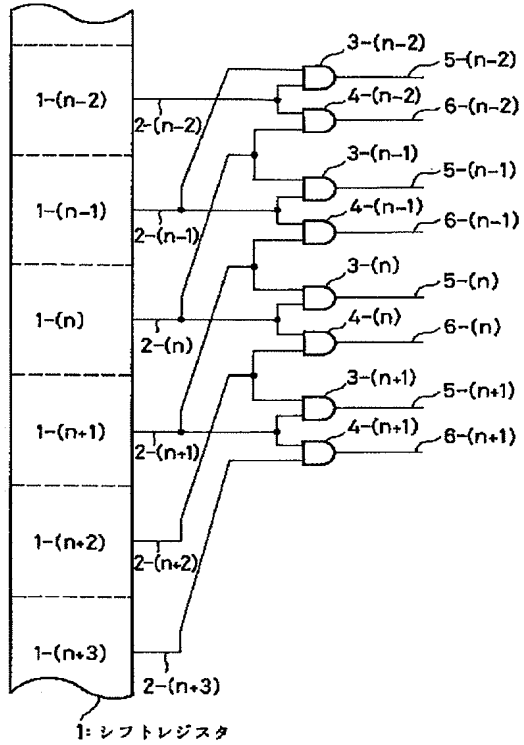
15-(n-1), 15-(n), ... 読み出し信号発生用2入力AND回路

20 シフトレジスタ

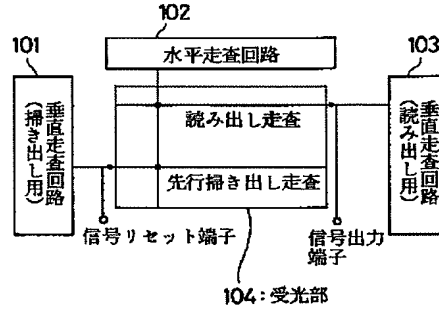
22, 23, 24 コントロールパルスライン

25-(n-1), 25-(n), ... 読み出し、リセットのタイミング信号発生用2入力NAND回路

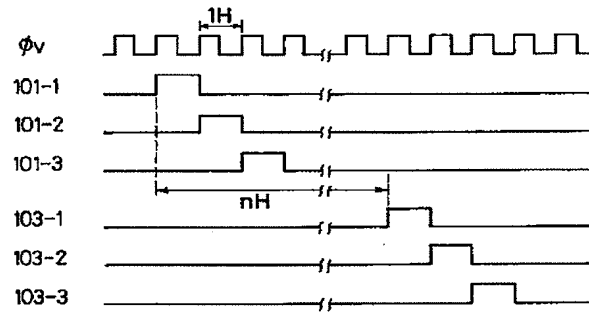
【図1】



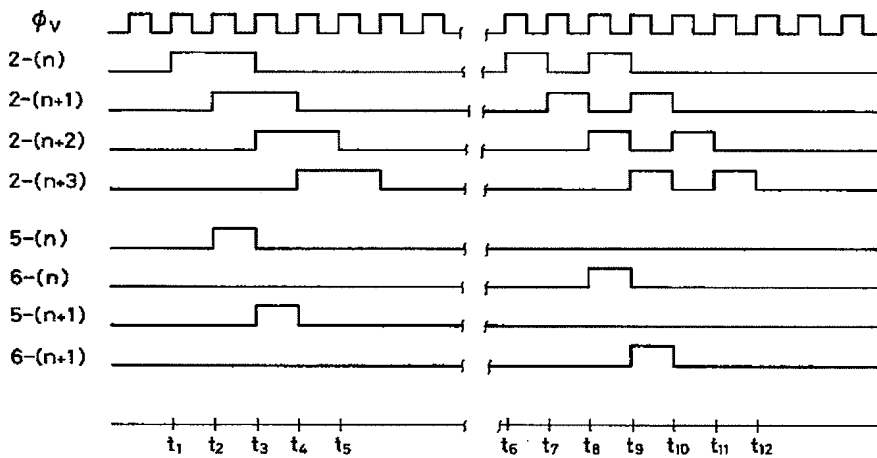
【図7】



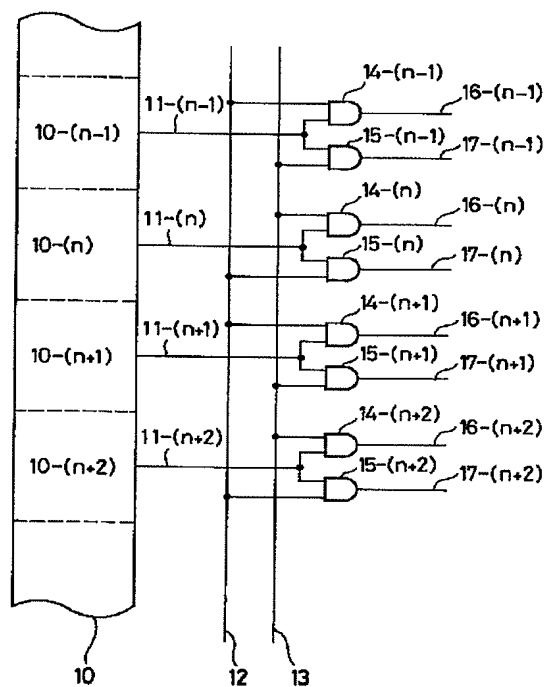
【図8】



【図2】

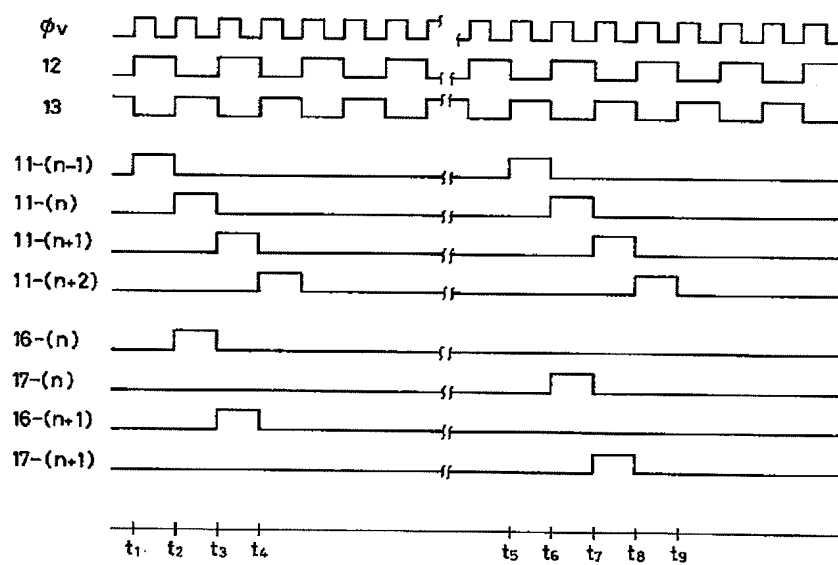


【図 3】

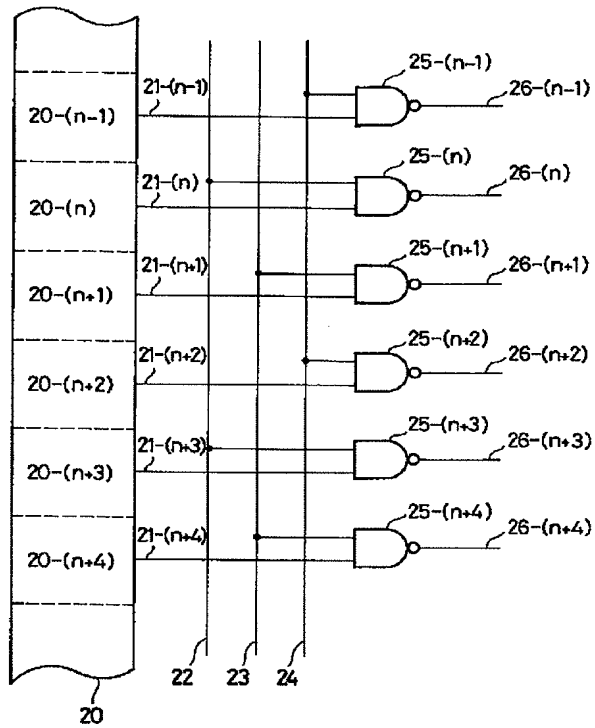


10: シフトレジスタ
12, 13: コントロールパルスライン

【図 4】



【図5】



20: シフトレジスタ

22, 23, 24: コントロールパルスライン

【図6】

